

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175209

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 03-345413

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.12.1991

(72)Inventor : IWAI HIROSHI

KATSUMATA YASUHIRO

INOUE KAZUMI

YOSHINO CHIHIRO

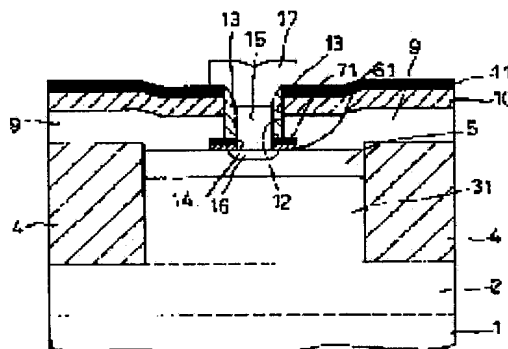
USUDA KOJI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PURPOSE: To improve contact between a base and a base loading-out electrode, and reduce base resistance.

CONSTITUTION: A collector layer 31 of a first conductivity type is formed on a buried layer 2 of a first conductivity type formed on a semiconductor substrate 1. A base layer 5 of a second conductivity type is formed on the layer 31. A semiconductor layer 9 of a second conductivity type is formed on the layer 5. An aperture 12 is formed in the layer 9. An emitter layer 16 of a first conductivity type is formed on the surface part of the layer 5 facing the aperture 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[0011]

[Embodiments]        Hereinbelow, a semiconductor according to the present invention and a fabrication method thereof will be described with reference to Figs. 1-22.

5    [0012]

First of all, a constitution of an npn-type bipolar transistor will be described with reference to Fig. 1.

[0013]

An n-type buried layer 2 is formed on a p-type silicon substrate  
10    1, and then an n-type collector epitaxial layer 31, which is device  
isolated by an oxide film insulator 4, is formed on the n-type buried  
layer 2. On the n-type collector epitaxial layer 31 is formed a p-type  
silicon crystalline layer 5. Furthermore, an oxide film 61 and a nitride  
film 71 are sequentially formed on a predetermined portion of the  
15    p-type silicon crystalline layer 5. Then, a polycrystalline silicon 9, an  
oxide film 10, and a nitride film 11 are sequentially form on the entire  
surface of the resultant substrate. Furthermore, an emitter opening  
14 is formed through the oxide film 61 and the nitride film 71, while an  
opening 12 having a side wall spacer 13 on a side face thereof is formed  
20    through the polycrystalline silicon 9, the oxide film 10, and the nitride  
film 11. Also, an emitter 16 is formed in a surface portion of the  
p-type silicon crystalline layer 5 facing to the emitter opening 14. A  
polycrystalline silicon layer 15 is buried in the emitter opening 14 and  
the opening 12. A metal electrode 17 is formed on the polycrystalline  
25    silicon layer 15.

[0014]

Hereinbelow, a fabrication method of the npn-type bipolar transistor having the above-described constitution will be described with reference to Figs. 2-12.

5 [0015]

First of all, after forming an n-type buried layer 2 of high concentration on a p-type silicon substrate 1 using a conventional diffusion technology, an n-type collector epitaxial layer 31 is grown on the n-type buried layer 2. Thereafter, the n-type collector epitaxial layer 31 is isolated for insulation by two or more oxide film insulators 4 so that the layer becomes a region for an emitter and a base of a bipolar transistor (Fig. 2).

[0016]

Then, the n-type collector epitaxial layer 31 isolated for insulation is etched by reactive ion etching by a predetermined depth to form a groove 32. At this time, there exists a possibility that a defect may occur in a surface of the n-type collector epitaxial layer 31 due to reactive ion etching. The defected layer may be removed by use of isotropic etching that does not cause a defect, or recovered by heat treatment (Fig. 3).

[0017]

Thereafter, a p-type silicon crystalline layer 5 that becomes a base is grown on the n-type collector epitaxial layer 31 by a selective epitaxial technique. At this time, if diborane ( $B_2H_6$ ), for example, is introduced at a predetermined pressure, temperature, and gas flow rate,

the p-type silicon crystalline layer can be doped to be of p-type, while being epitaxially grown. Furthermore, if mono-germanium ( $\text{GeH}_4$ ), for example, is added at a predetermined pressure, temperature, and gas flow rate, a SiGe layer can be formed (Fig. 4).

5 [0018]

Then, an oxide film 6 is formed by thinly oxidizing a surface of the p-type silicon crystalline layer 5 to form an oxide film 6, followed by deposition of a nitride film 7 having a predetermined film thickness over the entire surface (Fig. 5).

10 [0019]

After depositing an oxide film 8 on the nitride film 7 by CVD, this oxide film 8 is patterned using a photolithography technique, leaving the oxide film 8 at least on a region where the emitter and the base are to be formed. It should be noted that at this time, the width of the oxide film 8 must be properly determined since the etching time of the nitride film 7 and the location of the nitride film 7 left after the etching in a later process depend on the width of the oxide film (Fig. 6).  
[0020]

Thereafter, using the patterned oxide film 8 as a mask, the nitride film 7 is etched by hot phosphoric acid to form a nitride film 71 having a predetermined width, followed by elimination of the oxide film 8. Because the nitride film 71 serves as a protection film for a later emitter opening process and because the width of the nitride film 71 is determined in a self-aligning manner, an alignment margin, which is required by photolithography, is not required to form the region where

20  
25

the emitter and the base are to be formed. For this reason, the region where the emitter and the base are to be formed can be reduced in size correspondingly, thereby reducing base/collector capacity and offering the effects of reduced power consumption and large scale integration (Fig. 7).

[0021]

Then, using the nitride film 71 as a mask, the oxide film 6 is etched by solution etching using ammonium fluoride ( $\text{NH}_4\text{F}$ ), for example, leaving the oxide film only under the nitride film 71 to form an oxide film 61. In this case, because solution etching is employed, the etching of the p-type silicon crystalline layer 5 and occurrence of defect are prevented. Then, after depositing by CVD a polycrystalline silicon layer 9 having a predetermined film thickness, which becomes a base drawing electrode, on an entire surface of the resultant substrate, this polycrystalline silicon layer 9 is doped with p-type impurities, such as boron, by ion implantation. At this time, instead of boron ion implantation, a polycrystalline silicon already doped with boron may be deposited. Thereafter, an oxide film 10 and a nitride film 11, each having a predetermined film thickness, are deposited by CVD on the polycrystalline silicon layer 9. Following this, the polycrystalline silicon layer 9 containing the p-type impurity and the p-type silicon crystalline layer 5 are brought into contact with each other by thermal treatment. In this case, since the p-type silicon crystalline layer 5 is located right below the polycrystalline silicon layer 9, it is easy to place the p-type silicon crystalline layer 5 and the polycrystalline silicon

layer 9 into contact with each other. Accordingly, an external base 51 can be downsized because a large area, through which the p-type impurities diffuse from the polycrystalline silicon layer 9, is not required, thereby reducing base/collector capacity and offering the effects of reduced power consumption and large scale integration (Fig. 8).

[0022]

Thereafter, an opening 12 for the formation of an emitter is formed through the polycrystalline silicon layer 9, the oxide film 10, and the nitride film 11 on the nitride film 71, using a predetermined photolithography method. At this time, the nitride film 71 prevents the etching of the p-type silicon crystalline layer 5 and the occurrence of defect. That is, the nitride film 71 protects the p-type silicon crystalline layer 5 from reactive ion etching (Fig. 9).

15 [0023]

Then, an oxide film is deposited to a certain thickness, and following this, side wall spacers 13 are formed on an inner face of the opening 12 by reactive ion etching.

[0024]

20 Subsequently, a portion of the nitride film 71 facing the opening 12 is etched away, and a portion of the oxide film 61 located below the etched-away portion is further etched away to form an emitter opening 14 (Fig. 11).

[0025]

25 Then, a polycrystalline silicon layer 15 is buried in the emitter

opening 14. After the polycrystalline silicon layer is ion implanted with arsenic, the arsenic is made, by heat treatment, to diffuse into a surface portion of the p-type silicon crystalline layer 5 to form an emitter 16. Here, instead of ion implanting the arsenic, it is possible to use a polycrystalline silicon pre-doped with arsenic as the polycrystalline silicon layer 15. Alternatively, in place of the polycrystalline silicon layer 15, a silicon crystalline doped with arsenic may be epitaxially grown. Following this, a predetermined metallic electrode 17 is formed on the polycrystalline silicon layer 15. A collector electrode (not shown) is formed on the opposite side of the n-type collector epitaxial layer 31 with respect to the oxide film insulator 4, and connected to the n-type collector epitaxial layer 31 via the n-type buried layer 2. Thus, the bipolar transistor is fabricated (Fig. 12).

[0026]

Furthermore, another fabrication method of the bipolar transistor will be described with reference to Figs. 13-19.

[0027]

First of all, an  $n^+$  layer 91 is formed on an n-type Si substrate 90. An n-type Si region 92 is grown on the  $n^+$  layer by epitaxial growth. Following this, the n-type Si region 92 is partially etched away (Fig. 13).

[0028]

Thereafter, a BSG film 93 containing a high concentration of boron is deposited on an entire surface of the resultant substrate, and then the BSG film is etched back for flattening, until a surface of the

n-type Si region 92 appears, thereby achieving device isolation (Fig. 14).

[0029]

An n-type silicon layer 94 having a thickness of 3000 angstroms, for example, is deposited on an entire surface of the resultant substrate. At this time, a polycrystalline silicon layer 95 grows on the field BSG film 93. In this case, mono-crystalline silicon extending from the exposed portion of the substrate for growth may be formed in a portion of the field BSG film 93 near edges thereof. The polycrystalline silicon layer 95 on the field BSG film 93 becomes a p<sup>+</sup> region because boron diffuses into the region from the field BSG film 93 due to thermal treatment during deposition. If boron does not diffuse sufficiently due to low temperature during deposition, boron may be made to diffuse from the field BSG film 93 by thermal treatment after the deposition (Fig. 15).

[0030]

In order to form an intrinsic base over an entire surface of the resultant substrate, a p-type Si film (or p-type SiGe film) 96 having a film thickness of 400 angstroms, for example, is epitaxially grown over the entire surface. At this time, the p-type Si film on the field BSG film 93 becomes a p<sup>+</sup> region because boron diffuses from the field BSG film 93 into the region (Fig. 16).

[0031]

Thereafter, an oxide film 97 and a nitride film 98 are layered sequentially on the p-type Si film 96, and then a p-type polycrystalline



silicon layer 99 is deposited over an entire surface of the resultant substrate (Fig. 17).

[0032]

Following this, an emitter window 104 is formed through the  
5 oxide film 97, the nitride film 98, and the p-type polycrystalline silicon layer 99 (Fig. 18).

[0033]

Subsequently, a  $\text{SiO}_2$  film 100 covers the oxide film 97, the  
nitride film 98, and the p-type polycrystalline silicon layer 99, and then  
10 an  $\text{n}^+$ -type polysilicon layer 101 that becomes an emitter is formed on the emitter window 104 to complete the bipolar transistor fabrication.

[0034]

While in the present embodiment, the whole portion of the field  
is the BSC film 93, only an upper portion of the field may be the BSC  
15 film 93, as shown in Fig. 20. Here, reference numeral 102 denotes a  $\text{SiO}_2$  film. Furthermore, as shown in Fig. 21, in place of the BSC film 93, a  $\text{p}^+$ -type polysilicon layer (or metallic boron) 103 may be formed in the upper portion of the field. Still furthermore, as shown in Fig. 22, as an alternative method of forming the structure shown in Fig. 14, an  
20 opening may be formed through the BSC film 93 on the  $\text{n}^+$  layer 91, followed by the formation of n-type Si in the opening by selective growth or the like.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-175209

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/331

29/73

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数3(全 9 頁)

(21)出願番号

特願平3-345413

(22)出願日

平成3年(1991)12月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 岩井 洋

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 勝又 康弘

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 井納 和美

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(74)代理人 弁理士 三好 秀和 (外4名)

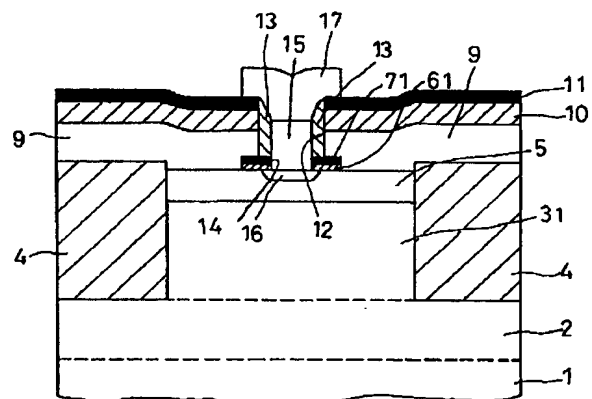
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ベースとベース引き出し電極とのコンタクトを良好にすると共に、ベース抵抗を低減化することを目指す。

【構成】 半導体基板1に形成された第1導電型埋め込み層2上に第1導電型コレクタ層31が形成され、第1導電型コレクタ層31上に第2導電型ベース層5が形成され、第2導電型ベース層5上に第2導電型半導体層9が形成され、第2導電型半導体層9に開口部12が形成され、開口部12に臨む第2導電型ベース層5の表面部に第1導電型エミッタ層16が形成された。



## 【特許請求の範囲】

【請求項1】 半導体基板に形成された第1導電型埋め込み層上に第1導電型コレクタ層が形成され、前記第1導電型コレクタ層上に第2導電型ベース層が形成され、前記第2導電型ベース層上に第2導電型半導体層が形成され、前記第2導電型半導体層に開口部が形成され、前記開口部に臨む前記第2導電型ベース層の表面部に第1導電型エミッタ層が形成されたことを特徴とする半導体装置。

【請求項2】 半導体基板に形成された第1導電型埋め込み層上に第1導電型コレクタ層を形成する工程と、前記第1導電型コレクタ層を絶縁分離した後、所定の厚さだけエッチングして溝を形成する工程と、前記第1導電型コレクタ層上に第2導電型ベース層を選択的にエピタキシャル成長させる工程と、前記第2導電型ベース層の所定部上に絶縁膜を形成する工程と、前記第2導電型ベース層及び前記絶縁膜上に第2導電型半導体層を形成する工程と、前記絶縁膜及び前記第2導電型半導体層に開口部を形成する工程と、前記開口部に第1導電型誘電体を埋設する工程と、前記第1導電型誘電体より第1導電型不純物を拡散して前記第2導電型ベース層の表面部に第1導電型エミッタ層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板に形成された第1導電型埋め込み層上に少なくとも上部に第2導電型高濃度不純物を含む分離絶縁膜により素子分離された第1の第1導電型半導体層を形成する工程と、前記第1の第1導電型半導体層及び前記分離絶縁膜上に第1導電型半導体被膜を形成する工程と、前記分離絶縁膜上の前記第1導電型半導体被膜に選択的に前記分離絶縁膜から第2導電型不純物を拡散させ、第2導電型不純物領域を形成する工程と、前記第1導電型半導体被膜及び前記第2導電型不純物領域上に第2導電型半導体被膜をエピタキシャル成長させる工程と、前記第1導電型半導体被膜上に前記第2導電型半導体被膜を介して第2の第1導電型半導体層を選択的に形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に係り、より詳しくはバイポーラトランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】 従来、高速LSIを実現するために高速シリコンバイポーラ技術の開発が進められ、選択エピタキシャル技術を用いた高性能バイポーラトランジスタを形成する技術が提案されている。

【0003】 以下、かかるバイポーラトランジスタの製造方法を図23を参照して述べる。まず、高濃度のn型埋め込み層（図示略す）を含むシリコン基板20上にn

型コレクタエピタキシャル層21を成長させ、このn型コレクタエピタキシャル層21を酸化膜絶縁分離層22により絶縁分離する。そして、酸化膜絶縁分離層22及びn型コレクタエピタキシャル層21上にベース引き出し電極となる多結晶シリコン層23を形成し、これにp型不純物をイオン注入する。その後、多結晶シリコン層23上に酸化膜24、窒化膜25をCVD法により順次堆積し、n型コレクタエピタキシャル層21上の多結晶シリコン層23、酸化膜24及び窒化膜25に開口部33を形成する。更に、開口部33の下部にp型不純物がドーパされたベースとなるシリコン結晶層26を選択的にエピタキシャル成長させる。その後、全面に酸化膜をCVD法により堆積し、この酸化膜を異方性イオンエッチングし、開口部33の上部側面に酸化膜のサイドウォールスペーサ27を形成する。そして、全面に多結晶シリコン層28を堆積し、これにn型不純物をイオン注入した後、熱処理を加えることによりn型不純物を拡散してシリコン結晶層26の表面部にエミッタ29を形成する。その後、前記多結晶シリコン層28を所定の形状にパターニングした後、この多結晶シリコン層28上に金属電極30が形成されていた。このように、ベースとなるシリコン結晶層26を選択エピタキシャル成長により薄膜に形成し、イオン注入と拡散技術とで形成されるベース層を有するトランジスタに比べ高い高速性を有するバイポーラトランジスタを製造していた。

【0004】 更に、シリコン又はSiGeのエピタキシャル成長による真性ベース領域を有するバイポーラトランジスタの他の製造方法について図24を参照して述べる。まず、n型シリコン基板80上に高濃度のn+型埋め込み層81を形成した後、このn+型埋め込み層81上にn型コレクタエピタキシャル層83を成長させ、このn型コレクタエピタキシャル層83を酸化膜絶縁分離層82により絶縁分離する。そして、酸化膜絶縁分離層82及びn型コレクタエピタキシャル層83上に薄膜のp型エピタキシャルベース層84を成長する。その後、このp型エピタキシャルベース層84の所定部上に絶縁膜88を形成する。そして、全面にp+型ポリシリコン層85を堆積し、これをパターニングした後、絶縁膜88及びp+型ポリシリコン層85にエミッタの窓89を開口する。その後、p+型ポリシリコン層85を酸化膜86で覆った後、エミッタの窓89上にエミッタとなるn+型ポリシリコン層87を形成していた。

## 【0005】

【発明が解決しようとする課題】 然し乍ら、上述した従来のバイポーラトランジスタにおいては、多結晶シリコン層23の開口部33に選択的なエピタキシャル技術によりベースとなるシリコン結晶層26を形成するため、シリコン結晶層26のベース引き出し電極となる多結晶シリコン層23との境界部26aの結晶性が悪くなり、シリコン結晶層26と多結晶シリコン層23との十分な

コンタクトが取り難くなる。そこで、十分なコンタクトを取るために多結晶シリコン層23からのp型不純物の拡散を大きくし、外部ベース26bを拡大させなければならない。ところが、外部ベース26bを大きくすると、ベース/コレクタ間の容量が増大し、トランジスタの高速化ができなくなるという問題点があった。その上、多結晶シリコン核の発生で境界部26aにおけるシリコン結晶層26の形状が変形し、その表面が平坦でなくなるため、サイドウォールスペーサ27の形成が困難になり、エミッタ29の制御性が低下する他、サイドウォールスペーサ27を形成する際、シリコン結晶層26もエッチングしてしまいベース幅の制御性が低下すると共に、欠陥の発生を招くという問題点があった。

【0006】また、p型エピタキシャルベース層84の真性ベース領域84aとベース引き出し電極となるp+型ポリシリコン層85とを接続するp型エピタキシャルベース層84の外部ベース領域84bの膜厚が250～1000オングストローム程度と極めて薄いため、抵抗が、例えばシート抵抗5kΩと高くなり、トランジスタの高速化ができないという問題点があった。

【0007】本発明の目的は、上述した問題点に鑑み、ベースとベース引き出し電極とのコンタクトを良好にすると共に、ベース抵抗の低減化ができる半導体装置及びその製造方法を提供するものである。

【0008】

【課題を解決するための手段】本発明は上述した目的を達成するため、半導体基板に形成された第1導電型埋め込み層上に第1導電型コレクタ層が形成され、前記第1導電型コレクタ層上に第2導電型ベース層が形成され、前記第2導電型ベース層上に第2導電型半導体層が形成され、前記第2導電型半導体層に開口部が形成され、前記開口部に臨む前記第2導電型ベース層の表面部に第1導電型エミッタ層が形成されたものであり、その製造方法は半導体基板に形成された第1導電型埋め込み層上に第1導電型コレクタ層を形成する工程と、前記第1導電型コレクタ層を絶縁分離した後、所定の厚さだけエッチングして溝を形成する工程と、前記第1導電型コレクタ層上に第2導電型ベース層を選択的にエピタキシャル成長させる工程と、前記第2導電型ベース層の所定部上に絶縁膜を形成する工程と、前記第2導電型ベース層及び前記絶縁膜上に第2導電型半導体層を形成する工程と、前記絶縁膜及び前記第2導電型半導体層に開口部を形成する工程と、前記開口部に第1導電型誘電体を埋設する工程と、前記第1導電型誘電体より第1導電型不純物を拡散して前記第2導電型ベース層の表面部に第1導電型エミッタ層を形成する工程とを含むものである。

【0009】また、半導体基板に形成された第1導電型埋め込み層上に少なくとも上部に第2導電型高濃度不純物を含む分離絶縁膜により素子分離された第1の第1導電型半導体層を形成する工程と、前記第1の第1導電型

半導体層及び前記分離絶縁膜上に第1導電型半導体被膜を形成する工程と、前記分離絶縁膜上の前記第1導電型半導体被膜に選択的に前記分離絶縁膜から第2導電型不純物を拡散させ、第2導電型不純物領域を形成する工程と、前記第1導電型半導体被膜及び前記第2導電型不純物領域上に第2導電型半導体被膜をエピタキシャル成長させる工程と、前記第1導電型半導体被膜上に前記第2導電型半導体被膜を介して第2の第1導電型半導体層を選択的に形成する工程とを含むものである。

【0010】

【作用】本発明においては、ベース層上にベース引き出し電極となる半導体層が形成されたので、ベースとベース引き出し電極とのコンタクトが良好になる。また、分離絶縁膜上の第1導電型半導体被膜に分離絶縁膜から第2導電型不純物を拡散させ、選択的に第2導電型不純物領域を形成するので、外部ベース領域としての第2導電型不純物領域が厚く形成され、ベース抵抗が低減する。

【0011】

【実施例】以下、本発明に係わる半導体装置及びその製造方法を図1乃至図2に基づいて説明する。

【0012】最初に、npn型バイポーラトランジスタの構成について図1を参照して述べる。

【0013】即ち、p型シリコン基板1にn型埋め込み層2が形成され、このn型埋め込み層2上に酸化膜絶縁物4により素子分離されたn型コレクタエピタキシャル層31が形成され、n型コレクタエピタキシャル層31上にはp型シリコン結晶層5が形成されている。更に、p型シリコン結晶層5の所定部上には酸化膜61、窒化膜71が順次形成され、全面に多結晶シリコン層9、酸化膜10、窒化膜11が順次積層されている。そして、酸化膜61及び窒化膜71にエミッタ開口部14が形成され、多結晶シリコン層9、酸化膜10及び窒化膜11には側面にサイドウォールスペーサ13を有する開口部12が形成されている。また、エミッタ開口部14に臨むp型シリコン結晶層5の表面部にはエミッタ16が形成され、エミッタ開口部14及び開口部12に多結晶シリコン層15が埋設され、この多結晶シリコン層15上には金属電極17が形成されている。

【0014】次に、かかる構成を有するnpn型バイポーラトランジスタの製造方法を図2乃至図12を参照して述べる。

【0015】まず、p型シリコン基板1に通常の拡散技術を用いて高濃度のn型埋め込み層2を形成した後、このn型埋め込み層2上にn型コレクタエピタキシャル層31を成長させる。その後、前記n型コレクタエピタキシャル層31を2つ以上の酸化膜絶縁物4によりバイポーラトランジスタのエミッタ及びベースとなる領域に絶縁分離する(図2)。

【0016】次に、反応性イオンエッチングを用いて絶縁分離されたn型コレクタエピタキシャル層31を所定

の厚さだけエッチングして溝32を形成する。この際、反応性イオンエッチングによりn型コレクタエピタキシャル層31の表面に欠陥が入る可能性があるので、欠陥を発生させない等方性のエッチングによってその欠陥層を除去するか、熱処理によって欠陥を回復させる(図3)。

【0017】その後、選択的なエピタキシャル技術によってn型コレクタエピタキシャル層31上にベースとなるp型シリコン結晶層5を成長させる。このとき、所定の圧力、温度及びガス流量で、例えばジボラン( $B_2H_6$ )を混入させれば、エピタキシャル層を成長させながらp型にドーピングできる。更に、例えばモノゲルマン( $GeH_4$ )を所定の圧力、温度及びガス流量で加えればSiGe層を形成することも可能である(図4)。

【0018】次に、p型シリコン結晶層5の表面を薄く酸化し酸化膜6を形成し、全面に所定の膜厚の窒化膜7を堆積する(図5)。

【0019】その後、窒化膜7上にCVD法により酸化膜8を堆積した後、この酸化膜8をフォトリソグラフィ技術によりパターニングし、少なくともエミッタ及びベース形成予定領域上に残す。尚、このときの酸化膜8の幅は後工程における窒化膜7のエッチング時間及びエッチング後に残存する窒化膜7の位置を決定することになるので、最適に選ばなくてはならない(図6)。

【0020】次いで、パターニングされた酸化膜8をマスクとして、窒化膜7を熱リン酸でエッチングして所定の幅を有する窒化膜71を残した後、酸化膜8を除去する。ところで、前記窒化膜71はその後のエミッタ開口する際の保護膜として作用するものであり、また、窒化膜71は自己整合的にその幅が決定されるので、エミッタ及びベース形成予定領域に対してフォトリソグラフィで形成するときのような合わせ余裕を見込む必要がなく、その分エミッタ及びベース形成予定領域を小さくできるので、ベース/コレクタ間容量が低減でき、高速化に有効であると共に、低消費電力化及び高集積化に効果がある(図7)。

【0021】その後、窒化膜71をマスクとして、例えばフッ化アンモニウム( $NH_4F$ )のような溶液エッチングにより酸化膜6をエッチングして窒化膜71の下にのみ残し、これを酸化膜61とする。この場合、溶液エッチングを行うので、p型シリコン結晶層5のエッチング及び欠陥の発生が防止される。次いで、全面にベース引き出し電極となる所定膜厚の多結晶シリコン層9をCVD法により堆積した後、この多結晶シリコン層9にp型の不純物、例えばボロンをイオン注入する。尚、このとき、ボロンイオン注入の代わりにボロンがすでにドーピングされた多結晶シリコンを堆積しても良い。その後、前記多結晶シリコン層9上に所定の膜厚の酸化膜10、窒化膜11を順次CVD法によって堆積する。そして、若干の熱工程を加えることによってp型の不純物を含んだ

多結晶シリコン層9とp型シリコン結晶層5とのコンタクトを取る。この場合、多結晶シリコン層9の直下にp型シリコン結晶層5が存在するので、多結晶シリコン層9とp型シリコン結晶層5とのコンタクトが取り易くなる。このため、多結晶シリコン層9からのp型不純物の拡散を大きくする必要がないので、外部ベース51が小さくでき、ベース/コレクタ間の容量が低減でき、高速化に有効である(図8)。

【0022】次に、所定のフォトリソグラフィーを以て窒化膜71上の多結晶シリコン層9、酸化膜10及び窒化膜11にエミッタ形成のための開口部12を形成する。このとき、窒化膜71によりp型シリコン結晶層5に対するエッチング及び欠陥の発生が抑えられる。つまり、窒化膜71は反応性イオンエッチングからp型シリコン結晶層5を保護する(図9)。

【0023】その後、酸化膜を所定の厚さで堆積し、反応性イオンエッチングにより開口部12の内面にサイドウォールスペーサ13を形成する(図10)。

【0024】次いで、熱リン酸を用いて窒化膜71の開口部12に面した部分をエッチング除去し、更にその下の酸化膜61をエッチング除去して、エミッタ開口部14を形成する(図11)。

【0025】その後、前記エミッタ開口部14上に多結晶シリコン層15を埋め込み、これに砒素をイオン注入後、熱工程を加えてp型シリコン結晶層5の表面部に砒素を拡散させ、エミッタ16を形成する。尚、ここで、砒素をイオン注入する代わりに多結晶シリコン層15を予め砒素がドーピングされた多結晶シリコンにすることも可能である。また、多結晶シリコン層15の代わりに砒素がドーピングされたシリコン結晶をエピタキシャル成長させても良い。しかる後、多結晶シリコン層15上に所定の金属電極17を形成する。また、コレクタ電極(図示略す)は酸化膜絶縁物4に対してn型コレクタエピタキシャル層31とは反対側に形成され、n型埋め込み層2を介してn型コレクタエピタキシャル層31に接続される。かくして、バイポーラトランジスタが完成する(図12)。

【0026】更に、バイポーラトランジスタの他の製造方法について図13乃至図19を参照して説明する。

【0027】先ず、n型Si基板90上にn+層91を形成し、この上にエピタキシャル成長法によりn型Si領域92を成長させる。その後、前記n型Si領域92を部分的にエッチング除去する(図13)。

【0028】その後、全面に高濃度のボロンを含んだBSG膜93をデポジションした後、これをn型Si領域92の表面が出るまでエッチバックして平坦化し、素子分離を行う(図14)。

【0029】次に、全面に厚さが、例えば3000Åのn型シリコン層94をデポジションする。このとき、フィールドBSG膜93上には多結晶シ

リコン層 95 が成長する。尚、この場合、フィールド BSG 膜 93 のエッジに近い部分には基板露出部から延長して成長した単結晶シリコンが成長する場合もある。そして、フィールド BSG 膜 93 上の多結晶シリコン層 95 はデポ時の熱工程により BSG 膜 93 からボロンが拡散して p+ 領域が成長する。デポ時の温度が低くボロンが十分に拡散されないときはデポ終了後に熱工程を施して BSG 膜 93 よりボロンが拡散するようにしても良い (図 15)。

【0030】次に、全面に真性ベースを形成するため、例えば膜厚 400 オングストロームの p 型 Si 膜 (又は p 型 Si Ge 膜) 96 をエピタキシャル成長させる。このとき、フィールド BSG 膜 93 上の p 型 Si 膜 96 は BSG 膜 93 からのボロンの拡散により p+ 領域となる (図 16)。

【0031】その後、前記 p 型 Si 膜 96 上に酸化膜 97、窒化膜 98 を順次積層した後、全面に p+ 型多結晶シリコン層 99 を堆積する (図 17)。

【0032】続いて、酸化膜 97、窒化膜 98 及び p+ 型多結晶シリコン層 99 にエミッタの窓 104 を開口する (図 18)。

【0033】しかる後、SiO<sub>2</sub> 膜 100 により酸化膜 97、窒化膜 98 及び p+ 型多結晶シリコン層 99 を覆った後、エミッタの窓 104 上にエミッタとなる n+ 型ポリシリコン層 101 を形成して、バイポーラトランジスタを完成する (図 19)。

【0034】尚、本実施例ではフィールド全面を BSG 膜 93 としたが、図 20 に示すように、フィールドの上部のみを BSG 膜 93 としても良い。ここで、102 は SiO<sub>2</sub> 膜を示す。また、図 21 に示すように、BSG 膜 93 に限定されず、p+ 型ポリシリコン層 (又は金属ボロン) 103 をフィールド上部に形成しても良い。更に、図 14 に示す構造を形成する方法としては、図 22 に示すように、n+ 層 91 上の BSG 膜 93 を開口した後、この開口部に n 型 Si を選択成長等により形成しても良い。

【0035】

【発明の効果】以上説明したように本発明によれば、ベース層上にベース引き出し電極となる半導体層が形成されたので、ベースとベース引き出し電極とのコンタクトが良好になる。従って、外部ベースを拡大する必要がないので、寄生容量が減少し、トランジスタの高速化ができると共に、信頼性が向上できる。また、分離絶縁膜上の第 1 導電型半導体被膜に分離絶縁膜から第 2 導電型不純物を拡散させ、選択的に第 2 導電型不純物領域を形成するので、外部ベース領域としての第 2 導電型不純物領域が厚く形成され、ベース抵抗が低減する。従って、トランジスタの高速動作ができる。

【図面の簡単な説明】

【図 1】本発明バイポーラトランジスタの断面図であ

る。

【図 2】本発明バイポーラトランジスタの製造工程図である。

【図 3】本発明バイポーラトランジスタの製造工程図である。

【図 4】本発明バイポーラトランジスタの製造工程図である。

【図 5】本発明バイポーラトランジスタの製造工程図である。

【図 6】本発明バイポーラトランジスタの製造工程図である。

【図 7】本発明バイポーラトランジスタの製造工程図である。

【図 8】本発明バイポーラトランジスタの製造工程図である。

【図 9】本発明バイポーラトランジスタの製造工程図である。

【図 10】本発明バイポーラトランジスタの製造工程図である。

【図 11】本発明バイポーラトランジスタの製造工程図である。

【図 12】本発明バイポーラトランジスタの製造工程図である。

【図 13】本発明バイポーラトランジスタの他の製造工程図である。

【図 14】本発明バイポーラトランジスタの他の製造工程図である。

【図 15】本発明バイポーラトランジスタの他の製造工程図である。

【図 16】本発明バイポーラトランジスタの他の製造工程図である。

【図 17】本発明バイポーラトランジスタの他の製造工程図である。

【図 18】本発明バイポーラトランジスタの他の製造工程図である。

【図 19】本発明バイポーラトランジスタの他の製造工程図である。

【図 20】本発明バイポーラトランジスタの他の製造方法を説明する図である。

【図 21】本発明バイポーラトランジスタの他の製造方法を説明する図である。

【図 22】本発明バイポーラトランジスタの他の製造方法を説明する図である。

【図 23】従来のバイポーラトランジスタの断面図である。

【図 24】従来の他のバイポーラトランジスタの断面図である。

【符号の説明】

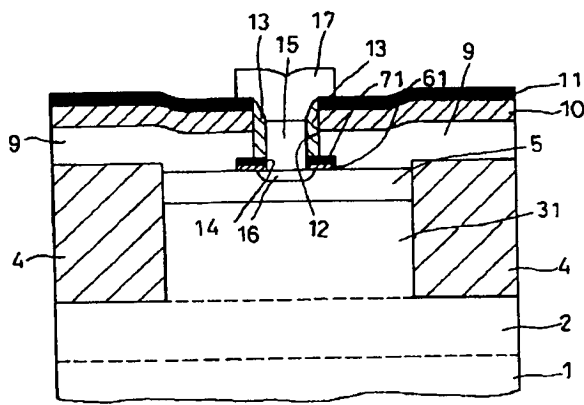
1 p 型シリコン基板

2 n 型埋め込み層

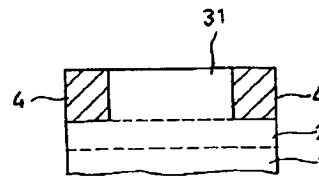
- 4 酸化膜絶縁物  
 5 p型シリコン結晶層  
 6, 8, 10, 61 酸化膜  
 9, 15, 95 多結晶シリコン層  
 11, 98 窒化膜  
 12 開口部  
 13 サイドウォールスペーサ  
 14 エミッタ開口部  
 16 エミッタ  
 31 n型コレクタエピタキシャル層

- 90 n型Si基板  
 91 n+層  
 92 n型Si領域  
 93 フィールドBSG膜  
 94 n型シリコン層  
 96 p型Si膜  
 97 酸化膜  
 99 p+型多結晶シリコン層  
 101 n+型ポリシリコン層  
 104 エミッタの窓

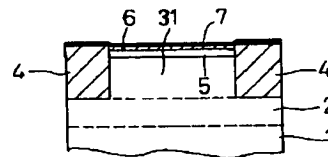
【図1】



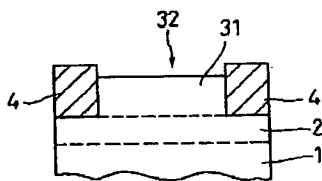
【図2】



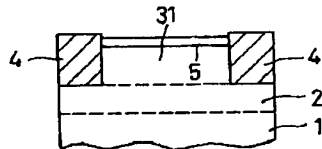
【図5】



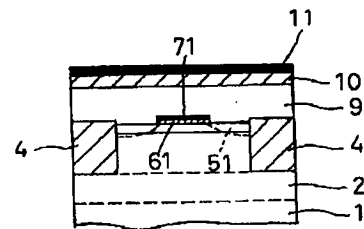
【図3】



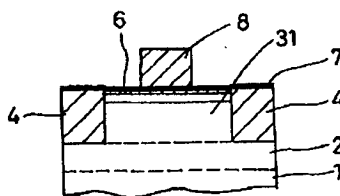
【図4】



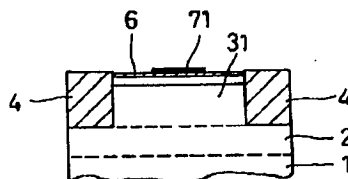
【図8】



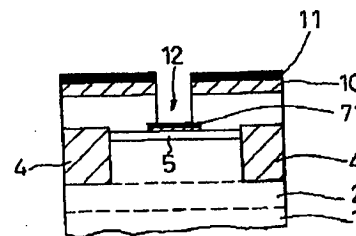
【図6】



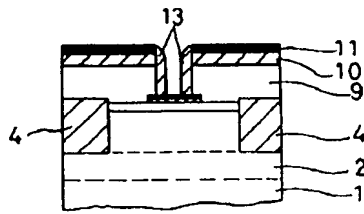
【図7】



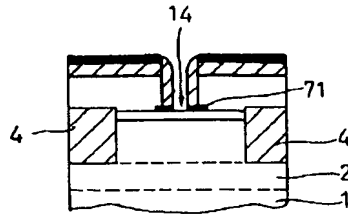
【図9】



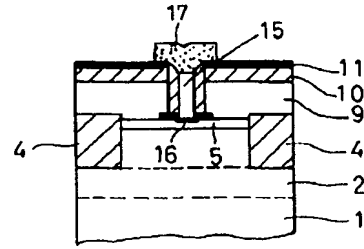
【図10】



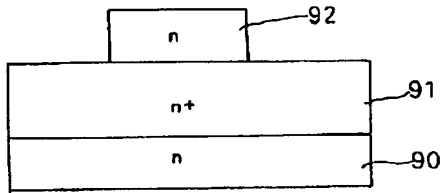
【図11】



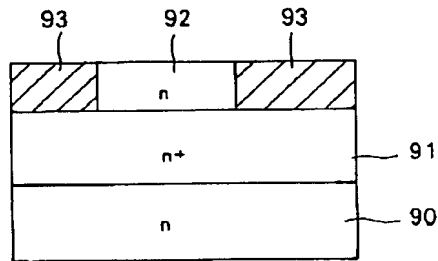
【図12】



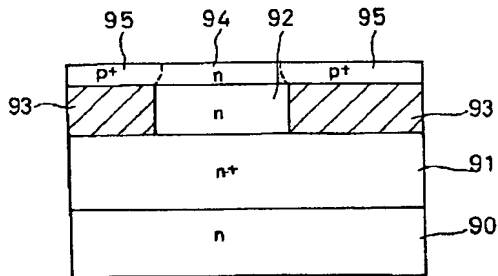
【図13】



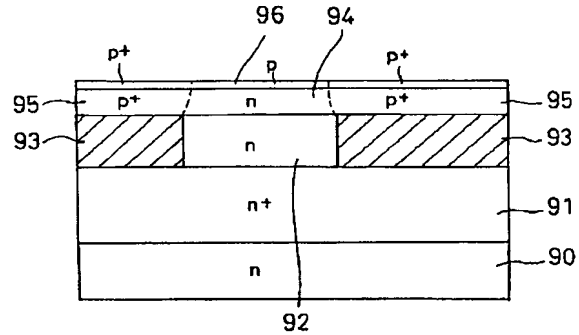
【図14】



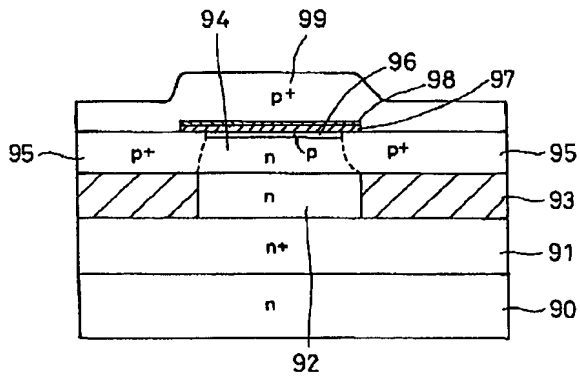
【図15】



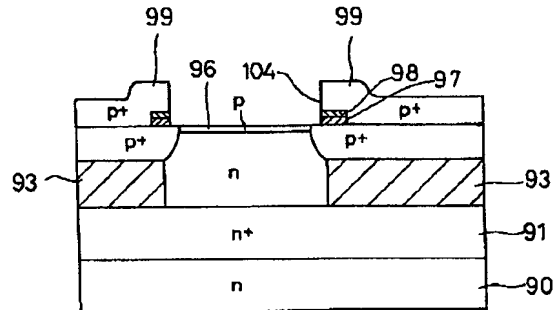
【図16】



【図17】

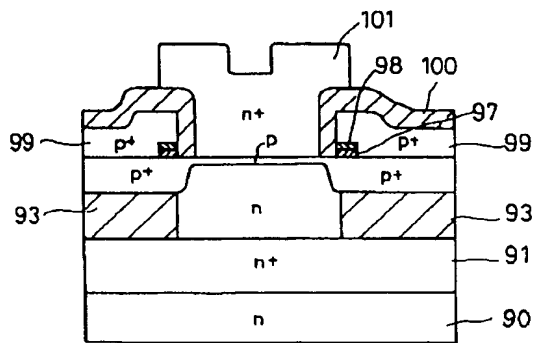


【図18】

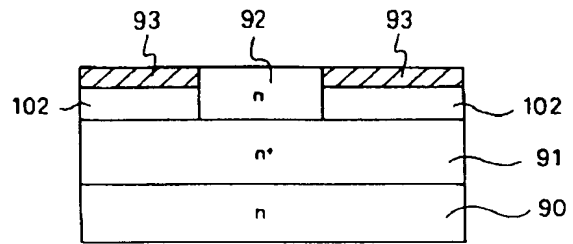




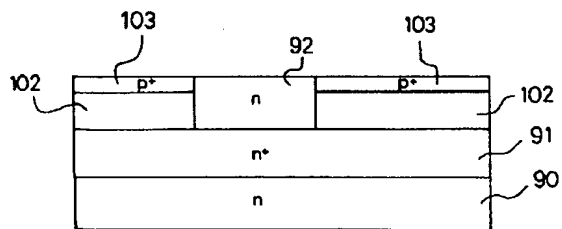
【図19】



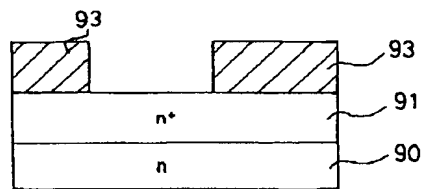
【図20】



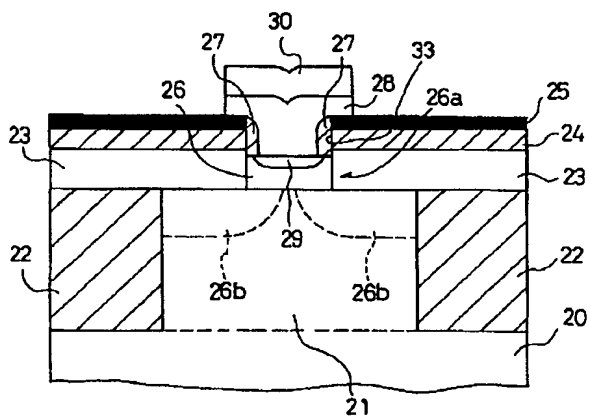
【図21】



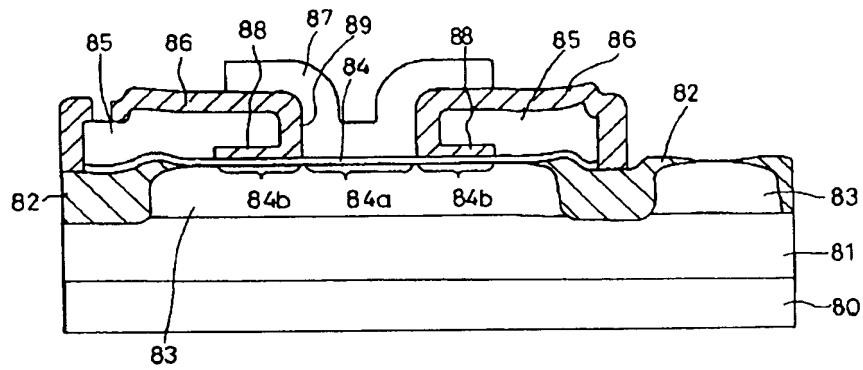
【図22】



【図23】



【図24】



フロントページの続き

(72)発明者 吉野 千博  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 臼田 宏治  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内